

Rec'd PCT/PTO 15 DEC 2004

PCT/JP03/14689

18.11.03

10/518137

日本国特許庁
JAPAN PATENT OFFICE

JP03/14689

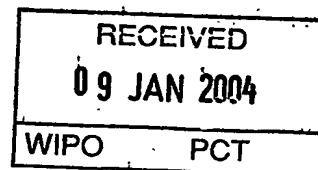
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年11月19日

出願番号
Application Number: 特願2002-335236
[ST. 10/C]: [JP2002-335236]

出願人
Applicant(s): コーセル株式会社

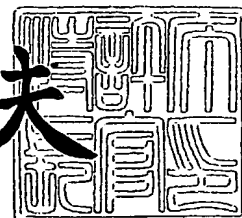


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3105010

【書類名】 , 特許願

【整理番号】 P2002CS127

【提出日】 平成14年11月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/28

【発明者】

【住所又は居所】 富山県富山市上赤江町1丁目6番43号 コーセル株式会社内

【氏名】 高島 誠

【発明者】

【住所又は居所】 富山県富山市上赤江町1丁目6番43号 コーセル株式会社内

【氏名】 廣川 芳通

【特許出願人】

【識別番号】 000103208

【氏名又は名称】 コーセル株式会社

【代理人】

【識別番号】 100095430

【弁理士】

【氏名又は名称】 廣澤 勲

【電話番号】 076-425-7200

【手数料の表示】

【予納台帳番号】 007814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9805286 ,

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 同期整流式スイッチング電源装置

【特許請求の範囲】

【請求項 1】 入力端子間にトランスの 1 次巻線と主スイッチ素子が直列に接続され、一定の周期内で上記主スイッチ素子を PWM 制御する制御回路と、出力端子間に上記トランスの 2 次巻線と直列に接続された整流用素子とを有したフライバック型の同期整流式スイッチング電源装置において、上記整流用素子を上記主スイッチ素子と相補的にオンさせる駆動手段と、上記整流用素子のゲートソース間に上記整流用素子をオフさせる遮断手段を設け、この遮断手段が上記整流用素子をオフさせるオフタイミングを、上記主スイッチ素子がオンした後の一定の時間であって上記主スイッチ素子の一定の駆動周期に可及的に近い範囲内のタイミングとしたことを特徴とする同期整流式スイッチング電源。

【請求項 2】 上記遮断手段は、トランジスタとこのトランジスタの信号入力端子に接続されたタイミングコンデンサと、このタイミングコンデンサを充電する充電回路とから成り、上記タイミングコンデンサは、上記主トランジスタがオンした瞬間に放電するとともにその瞬間から充電を開始し、このタイミングコンデンサの電圧が上記トランジスタの信号入力端子の閾値を越えるまでの時間を、上記主スイッチ素子の一定の駆動周期の範囲内の時間としたことを特徴とする請求項 1 記載の同期整流式スイッチング電源。

【請求項 3】 上記充電回路は、上記トランスの 2 次側に接続された定電圧源または定電流源であることを特徴とする請求項 2 記載の同期整流式スイッチング電源。

【請求項 4】 上記タイミングコンデンサを充電する充電回路として、上記整流用素子のオフ時のサージエネルギーを吸収するスナバ回路を設け、このスナバ回路で吸収したエネルギーにより、タイミングコンデンサを充電することを特徴とする請求項 3 記載の同期整流式スイッチング電源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、直流電圧を所望の電圧に変換し、電子機器に供給する同期整流方式のスイッチング電源であって、特にフライバック型の同期整流式スイッチング電源に関する。

【0002】

【従来の技術】

【特許文献1】 特開2000-116122号公報

従来の同期整流方式の整流回路を備えたフライバックコンバータは、例えば特許文献1に開示されているように、トランスの1次巻線側に直流電源と主スイッチ素子より成る直列回路が接続され、トランスの2次巻線は、整流用素子が直列に設けられ、さらに整流回路を介して出力端子に接続されている。このフライバックコンバータは、MOS-FETの主スイッチ素子をオン・オフ制御し、主スイッチ素子がターンオフしたときに、トランスの2次側回路の整流用素子であるMOS-FETをオンし、2次巻線に発生するリセット電圧により整流回路の出力コンデンサに充電する。この後、主スイッチ素子がオンする前に整流用素子をオフにするようにし、この動作を繰り返して出力側に電力を供給している。

【0003】

この同期整流式のフライバックコンバータの場合、整流用素子のオフタイミングがずれて、2次側の整流用素子がオン状態のまま主スイッチがオンすると、2次側の回路がショートした状態となり、主スイッチ素子に大きなサージ電流が流れてしまい、主スイッチ素子や整流用素子等の破壊に至る場合がある。

【0004】

そこで、特許文献1に開示されているように、主スイッチ素子と整流用素子の同時オン状態を防止するために、主スイッチ素子のオフにより、整流用素子がオンした後、補助巻線に誘起される電圧とタイミング抵抗により定まる電流で、タイミングコンデンサを充電して、一定時間後に補助トランジスタをオンして整流用素子をオフするようにしたスイッチング電源回路があった。

【0005】

この従来技術による同期整流式のフライバックコンバータの場合、図6に示すように、主スイッチ素子がオンする前に必ず整流用素子がオフするように、タイ

ミングコンデンサによる一定時間 T_c は、主スイッチ素子のオンタイミングに対してある程度前になるようにデッドタイム t_d が存在するように設定されていた。このデッドタイム t_d は、定常状態において、入力電圧と出力電圧及びトランスの巻き数比により決定される主スイッチ素子のオフ時間内に整流用素子がオフするように、タイミングコンデンサの時定数により設定されている。

【0006】

【発明が解決しようとする課題】

しかしながら、上記従来の技術の同期整流式のフライバックコンバータの場合、負荷電流が急激に増加し、入出力電圧とトランスの巻き数比により決定される主スイッチ素子のオン時間よりも長い時間、主スイッチ素子がオンすることがある。このようなケースでは、図6の破線で示すように、主スイッチ素子の一定のオン・オフ周期内でタイミングコンデンサの電圧が、整流用素子をオフする補助トランジスタ素子の閾値電圧まで達しない場合がある。このような場合、整流用素子がオフしないうちに主スイッチ素子がオンし、非常に大きなサージ電流が流れ、上記と同様に、主スイッチ素子や整流用素子等の破壊に至ると言う問題があった。

【0007】

一方、上記デッドタイム t_d の期間は、整流動作を整流用素子と並列に接続したダイオード、若しくは整流用素子である MOS-FET のボディダイオードにより行っていることになり、このダイオードによる整流期間は MOS-FET の整流用素子がオンしている期間よりも損失が大きい。

【0008】

従って、できるだけこのデッドタイムは短くしたいものであるが、主スイッチ素子がオンする前に確実に整流用素子をオフしておくためには、上記デッドタイム t_d を短くすることができないという問題があった。さらに、このデッドタイム t_d を短くできないために、スイッチング周波数も高くすることができず、装置の小型化やコストダウンの妨げにもなっていた。

【0009】

この発明は、上記の従来の技術の問題点に鑑みてなされたもので、簡単な構成

で、負荷の急変により主スイッチ素子のオン時間が長くなった場合にも、主スイッチがオンする前に確実に整流用素子がオフするようにしたフライバック型の同期整流式スイッチング電源を提供することを目的とする。

【0010】

【課題を解決するための手段】

この発明は、入力端子間にトランスの1次巻線と主スイッチ素子が直列に接続され、一定の周期内で上記主スイッチ素子をPWM制御する制御回路と、出力端子間に上記トランスの2次巻線と直列に接続された整流用素子とを有したフライバック型の同期整流式スイッチング電源装置であって、上記整流用素子を上記主スイッチ素子と相補的にオンさせる補助巻線等から成る駆動手段と、上記整流用素子のゲートソース間に上記整流用素子をオフさせる遮断手段を設け、この遮断手段が上記整流用素子をオフさせるオフタイミングを、上記主スイッチ素子がオンした後の一定の時間であって上記主スイッチ素子の一定の駆動周期に可及的に近い範囲内のタイミングとした同期整流式スイッチング電源である。

【0011】

上記遮断手段は、トランジスタとこのトランジスタの信号入力端子に接続されたタイミングコンデンサと、このタイミングコンデンサを充電する充電回路とから成り、上記タイミングコンデンサは、上記主トランジスタがオンした瞬間に放電するとともにその瞬間から充電を開始し、このタイミングコンデンサの電圧が上記トランジスタの信号入力端子の閾値を越えるまでの時間を、上記主スイッチ素子の一定の駆動周期の範囲内の時間としたものである。上記充電回路は、上記トランスの2次側に接続された定電圧源または定電流源の何れでも良い。

【0012】

上記タイミングコンデンサを充電する充電回路として、上記整流用素子のオフ時のサージエネルギーを吸収するスナバ回路を設け、このスナバ回路で吸収したエネルギーにより、タイミングコンデンサを充電することもできる。

【0013】

【発明の実施の形態】

以下、この発明の実施の形態について図面に基づいて説明する。図1は、この発明の第一実施形態のフライバック型の同期整流式スイッチング電源の回路を示す。このスイッチング電源回路は、直流電源10を有し入力端子 V_{in} 間に、トランスTの1次巻線N1とMOS-FETの主スイッチ素子Q1が直列に接続されている。直流電源10のプラス側の $+V_{in}$ 端子には、主スイッチング素子Q1のON時に正電圧が発生する端子である1次巻線N1のドットを付した側の端子が接続され、ドットのない側の端子が主スイッチ素子Q1のドレインに接続されている。そして、主スイッチ素子Q1のソースが、直流電源10のマイナス側の $-V_{in}$ 端子に接続され、主スイッチ素子Q1のゲートには、一定の周期で入出力条件に対応して主スイッチ素子Q1をPWM (Pulse Width Modulation) 制御する図示しない制御回路の駆動信号出力が接続されている。

【0014】

トランスTの2次巻線N2のドットのない側の端子が出力コンデンサC1の一端に接続され、トランスTの2次巻線N2のドットのある側の端子は、MOS-FETの整流用素子Q2のドレインに接続されている。整流用素子Q2のソースは、基準電位側である出力コンデンサC1の他端に接続され、この出力コンデンサC1の両端が出力端子 V_{out} に接続されている。整流用素子Q2のドレイン・ソース間には、ダイオードD4が並列に接続されている。ダイオードD4は、アノードが整流用素子Q2のソースに、カソードが同じくドレインに接続されている。従って、このダイオードD4は、MOS-FETの整流用素子Q2のボディダイオードでも良い。

【0015】

さらに、トランスTの2次側には、整流用素子Q2の駆動手段としての補助巻線N3が設けられ、この補助巻線N3のドットを付した側の端子が基準電位に接続され、ドットのない側の端子は、抵抗R1を介して動作加速用のコンデンサC2の一端に接続されている。コンデンサC2の他端は、ダイオードD1のカソードに接続され、ダイオードD1のアノードは、基準電位に接続されている。ダイオードD1のカソードとコンデンサC2の他端との間には、整流用素子Q2のゲートが接続されている。

【0016】

整流用素子Q2のゲートには、npn型のトランジスタTr1のコレクタが接続され、トランジスタTr1のエミッタが基準電位に接続されている。トランジスタTr1の信号端子であるベースには、タイミングコンデンサC3の一端が接続され、タイミングコンデンサC3の他端は基準電位に接続されている。トランジスタTr1のベースは、さらに定電圧回路から成る定電圧源12の出力が抵抗R2を介して接続されているとともに、npn型のトランジスタTr2のコレクタにも接続されている。トランジスタTr2のエミッタは、基準電位に接続され、ベースは2次巻線N2のドットを付した側の端子に、コンデンサC4を介して接続されている。トランジスタTr2のベース・エミッタ間には、並列に抵抗R3とダイオードD2が接続されている。ダイオードD2は、カソードがベースに接続され、アノードが基準電位に接続されている。

【0017】

定電圧源12は、2次巻線N2のドットを付した側の端子に一端が接続されたコンデンサC5と、このコンデンサC5の他端がアノードに接続されたダイオードD3と、ダイオードD3のカソードと基準電位との間に接続されたコンデンサC6と、ダイオードD3のアノードと基準電位との間に接続されたツェナーダイオードZD1とから成る。このツェナーダイオードZD1の、カソードがダイオードD3のアノードに接続され、アノードが基準電位に接続されている。また、定電圧源12は、整流用素子Q2のオフ時のサージエネルギーを吸収するスナバ回路を構成している。

【0018】

次に、この実施形態の同期整流式スイッチング電源装置の制御方法と動作について、図1、図2を基にして説明する。まず、図1の回路における、主スイッチ素子Q1がターンオンすると、1次巻線N1及び2次巻線N2のドットのある側が各々プラスとなるが、図2(A)、(B)に示すように、整流用素子Q2のゲート・ソース間電位 V_{gs} はロウであり、整流用素子Q2オフしており、整流用素子Q2の電流 I_{d1} は流れない。また、このとき定電圧源12には、2次巻線N2のドットのある側から電流が流れコンデンサC5、C6を充電し、定電圧源

12のコンデンサC6の一端ではツェナーダイオードZD1により設定される一定電圧が得られる。そして、定電圧源12の出力であるコンデンサC6の一端から、抵抗R2を介してタイミングコンデンサC3に電流が流れ、これを充電する。さらに、主スイッチ素子Q1がオンしている期間は補助巻線N3のドットのある側がハイであるが、整流用素子Q2のゲートはダイオードD1を介して基準電位にある。

【0019】

この後、図示しない制御回路により、入出力条件に合わせてPWM制御により主スイッチ素子Q1がターンオフすると、2次巻線N2のドットのない側の端子にリセット電圧が発生し、同時に補助巻線N3のドットのない側の端子にリセット電圧が発生し、コンデンサC2を介して整流用素子Q2のゲートのCissを充電しゲート・ソース間電位Vgsがハイになり、整流用素子Q2がターンオンする。これにより、出力コンデンサC1を介して2次巻線のドットのない側の端子からドットのある側の端子に電流Id1が流れ、出力コンデンサC1が充電される。

【0020】

また、主スイッチ素子Q1がターンオンした直後から、タイミングコンデンサC3が定電圧回路12からの電流により充電され、一定時間が経過すると、タイミングコンデンサC3の電位は、トランジスタTr1のベースの閾値に至る。これにより、トランジスタTr1がオンし、整流用素子Q2のゲートのCissを放電し、整流用素子Q2はターンオフする。しかし、この後も主スイッチ素子Q1がターンオンするまで、整流用素子Q2に並列に設けられたダイオードD4により、電流Id2が流れる。電流Id2はダイオードによる損失があるので、電流Id1よりも少ない。このダイオードD4により電流が流れる期間が、主スイッチ素子Q1がオンする前に整流用素子Q2をオフにするためのデッドタイムdtである。

【0021】

そして、主スイッチ素子Q1がターンオンすると、2次巻線N2のドットのある側の電位がコンデンサC4を介してトランジスタTr2のベースに印加され、

その瞬間にトランジスタ $T_r 2$ がロウになりタイミングコンデンサ $C 3$ の電荷が一瞬にして放電される。なおこの期間はコンデンサ $C 4$ の容量が相対的に十分に小さいので、主スイッチ素子 $Q 1$ のスイッチング周波数に比べて十分に短い一瞬の期間で完了する。そしてこの瞬間から、上述のように、タイミングコンデンサ $C 3$ の充電が再び始まる。

【0022】

この実施形態のフライバック型の同期整流式スイッチング電源では、図 2 (A)、(B) に示すように、図示しない制御回路により主スイッチ素子 $Q 1$ のスイッチング周期 T は一定であり、入出力条件に合わせて主スイッチ素子 $Q 1$ のオン期間である $D u t y$ が変化する。しかし、この実施形態のトランジスタ $T_r 1$ のベースに印加されるタイミングコンデンサ $C 3$ の電位は、主スイッチ素子 $Q 1$ のオンタイミングから一定時間で、トランジスタ $T_r 1$ のベースの閾値に達するので、負荷電流が急激に増加して出力電圧が過渡的に低下したときに、出力電圧を上昇させるために、主スイッチ素子 $Q 1$ のオン期間が一時的に長くなっても、主スイッチ素子 $Q 1$ のオンタイミングから確実に一定の時間で整流用素子 $Q 2$ がオフする。これにより、整流用素子 $Q 2$ がオフから主スイッチ素子 $Q 1$ のオンまでのデッドタイム $t d$ を可及的に短くすることができ、ダイオード $D 4$ による整流期間を短縮して損失を抑え、スイッチング周波数も高周波化することができる。

【0023】

また、タイミングコンデンサ $C 3$ の充電回路である定電圧源 12 は、整流用素子 $Q 2$ のオフ時のサージエネルギーを吸収するスナバ回路を構成しており、このスナバ回路で吸収したエネルギーにより、タイミングコンデンサを充電するので、よりエネルギー効率の高い電源とすることができる。

【0024】

つぎにこの発明の第二実施形態の同期整流式スイッチング電源装置を図 3 に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第一実施形態と異なりタイミングコンデンサ $C 3$ に定電流回路から成る定電流源 14 の出力が接続されたものである。

【0025】

この定電流源 14 は、トランス T の 2 次巻線 N 2 のドットのある側の端子にアノードが接続されたダイオード D 5 と、ダイオード D 5 のカソードが一端に接続され他端が基準電位に接続されたコンデンサ C 7 を備えている。さらに、ダイオード D 5 のカソードが、抵抗 R 4 を介して p n p 型のトランジスタ T r 3 のエミッタに接続され、トランジスタ T r 3 のコレクタが、この定電流源 14 の出力としてタイミングコンデンサ C 3 の一端に接続されている。さらに、ダイオード D 5 のカソードにはツエナーダイオード Z D 2 のカソードが接続され、ツエナーダイオード Z D 2 のアノードがトランジスタ T r 3 のベースに接続されているとともに抵抗 R 5 を介して基準電位に接続されている。定電流は、ツエナーダイオード Z D 2 により設定される一定電圧と抵抗 R 4 により設定される。

【0026】

この実施形態のフライバック型の同期整流式スイッチング電源回路では、タイミングコンデンサ C 3 を定電流回路 14 からの定電流で充電することができ、タイミングコンデンサ C 3 の電圧は直線的に上昇する。

【0027】

この実施形態の同期整流式スイッチング電源装置においても、上記実施形態と同様の効果を得ることができ、この場合特にタイミングコンデンサ C 3 の電圧上昇が直線的であり、整流用素子 Q 2 のオフタイミングを設定しやすいものである。なお、この定電流源 14 に、スナバ回路を設けても良い。これにより、さらにエネルギー効率の高いものとすることができる。

【0028】

つぎにこの発明の第三実施形態の同期整流式スイッチング電源装置を図 4 に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第一実施形態と異なりタイミングコンデンサ C 3 の一端を、ダイオード D 6 を介して、動作加速用のコンデンサ C 2 とトランジスタ T r 1 のコレクタが接続された端子の間に繋がっている。ダイオード D 6 はアノードがタイミングコンデンサ C 3 に接続され、カソードがコンデンサ C 2 の端子に接続されている。

【0029】

この実施形態の同期整流式スイッチング電源装置の動作は、上記実施形態の回路と同様であるが、タイミングコンデンサC3の放電を、主スイッチ素子Q1がオフして補助巻線N3のドットのある側がプラスの電位になることにより成される。このときの電流の流れは、補助巻線N3のドットのある側の端子から、タイミングコンデンサC3の基準電位側の電極及び反対側の電極を経て、ダイオードD5、コンデンサC2を経由して、補助巻線N3のドットのない側の端子に電流が流れ、コンデンサC3の放電が行われる。

【0030】

この実施形態によっても上記第一実施形態と同様の効果を得ることができ、さらに、タイミングコンデンサC3の放電のための回路構成を簡略化することができ、電子部品数を減らして装置の小型化やコストダウンをより進めることができる。

【0031】

つぎに本発明の第四実施形態の同期整流式スイッチング電源装置を図5に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第三実施形態定電圧源12を定電流源14に置き換えたものである。この実施形態によれば、上記第二実施形態と同様の効果を得ることができ、さらに、上記第三実施形態と同様に、タイミングコンデンサC3の放電のための回路構成を簡略化することができ、装置の小型化やコストダウンをより進めることができる。

【0032】

なお、この実施形態のフライバック型の同期整流式スイッチング電源は、上記実施形態に限定されるものではなく、適宜他の回路を組み合わせたものでも良い。

【0033】

【発明の効果】

この発明の同期整流式スイッチング電源は、主スイッチ素子のオンタイミングから確実に一定の期間で整流用素子がオフするようにしたので、負荷電流が急変しても主スイッチ素子と整流用素子が同時にオン状態となることがない。これに

より、整流用素子がオフしてから主スイッチ素子のオンタイミングまでのデッドタイムを可及的に短くすることができ、ダイオードによる整流期間を少なくして損失を抑え、スイッチング周波数も高周波化することができる。さらに、小型化、低コスト化にも寄与するものである。

【図面の簡単な説明】

【図 1】

この発明の第一実施形態の同期整流式スイッチング電源装置を示す概略回路図である。

【図 2】

この実施形態の同期整流式スイッチング電源装置の主スイッチ素子のデューティが広い場合の動作を示すタイミングチャート (A) と、狭い場合のタイミングチャート (B) である。

【図 3】

この発明の第二実施形態の同期整流式スイッチング電源装置を示す概略回路図である。

【図 4】

この発明の第二実施形態の同期整流式スイッチング電源装置を示す概略回路図である。

【図 5】

この発明の第二実施形態の同期整流式スイッチング電源装置を示す概略回路図である。

【図 6】

従来のフライバック型同期整流式スイッチング電源装置の動作を示すタイミングチャートである。

【符号の説明】

- 10 直流電源
- 12 定電圧源
- 14 定電流源
- N1 1次巻線

N 2 2 次巻線

N 3 補助巻線

T トランス

T r 1 トランジスタ

Q 1 主スイッチ素子

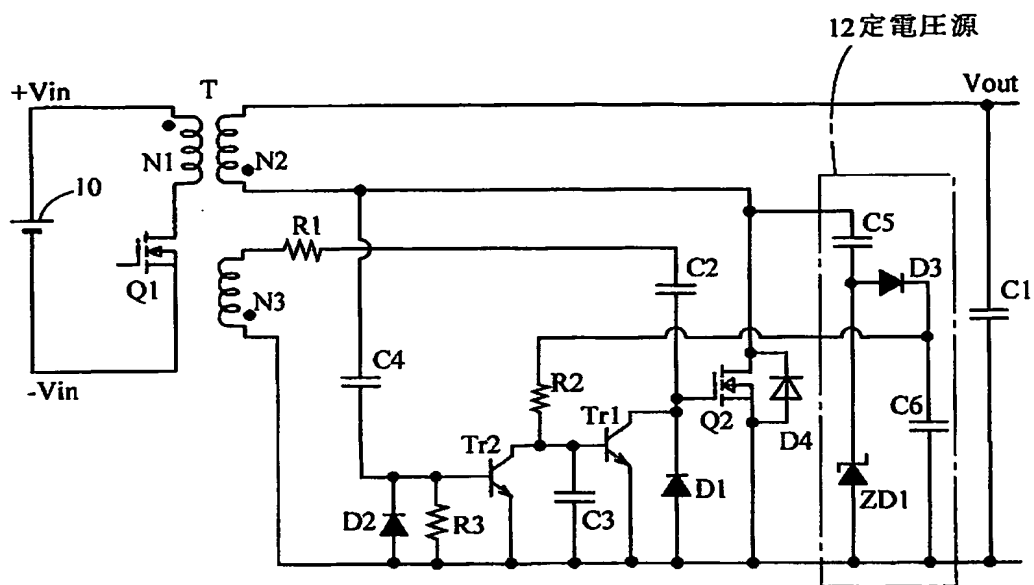
Q 2 整流用素子

C 3 タイミングコンデンサ

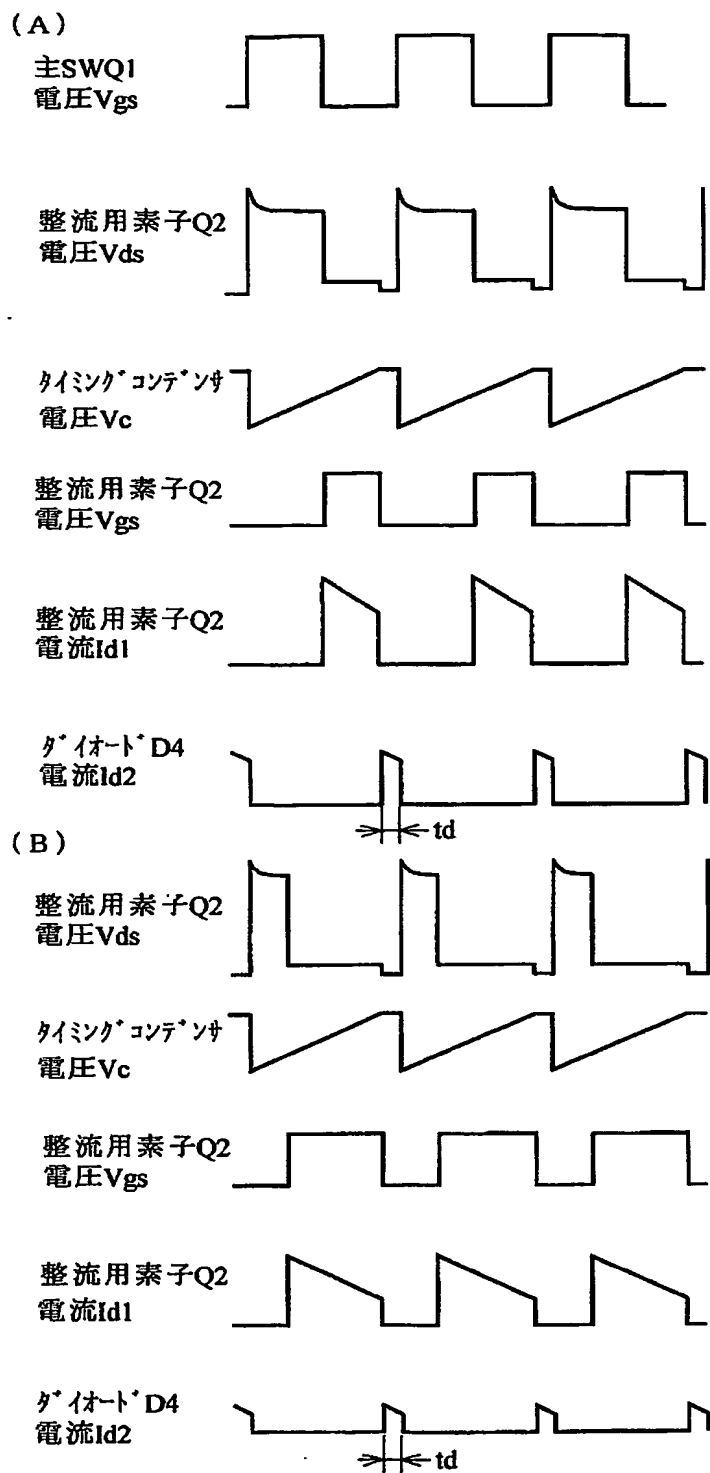
【書類名】

図面

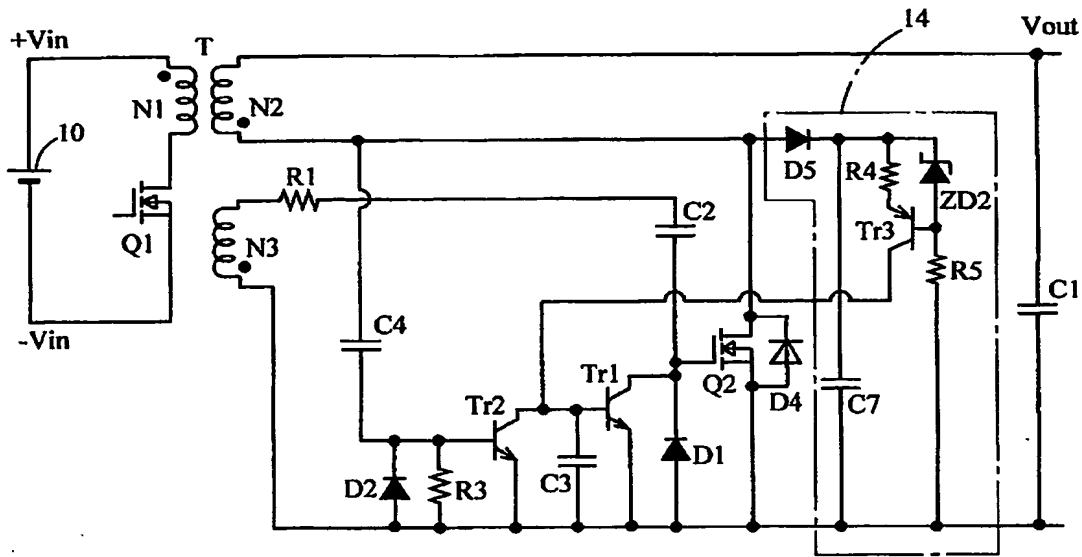
【図 1】



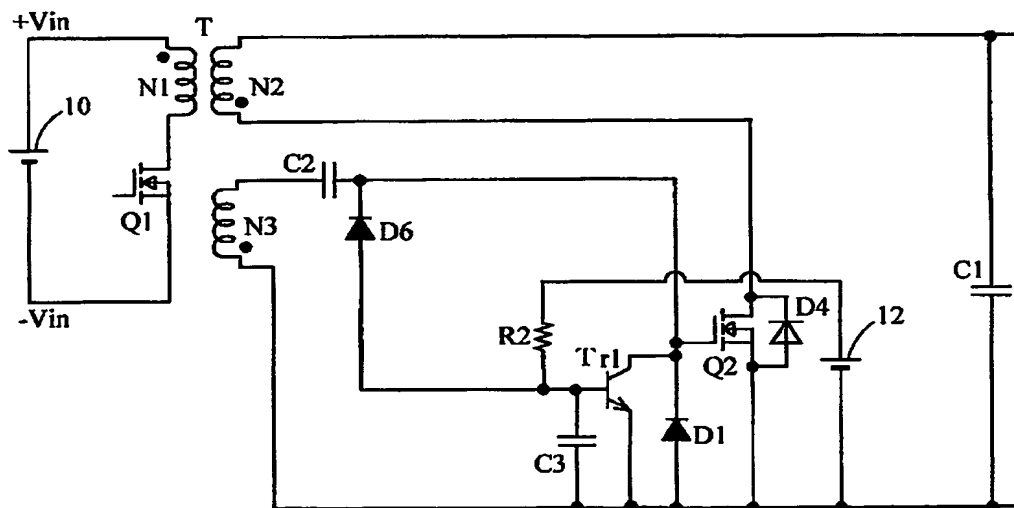
【図 2】



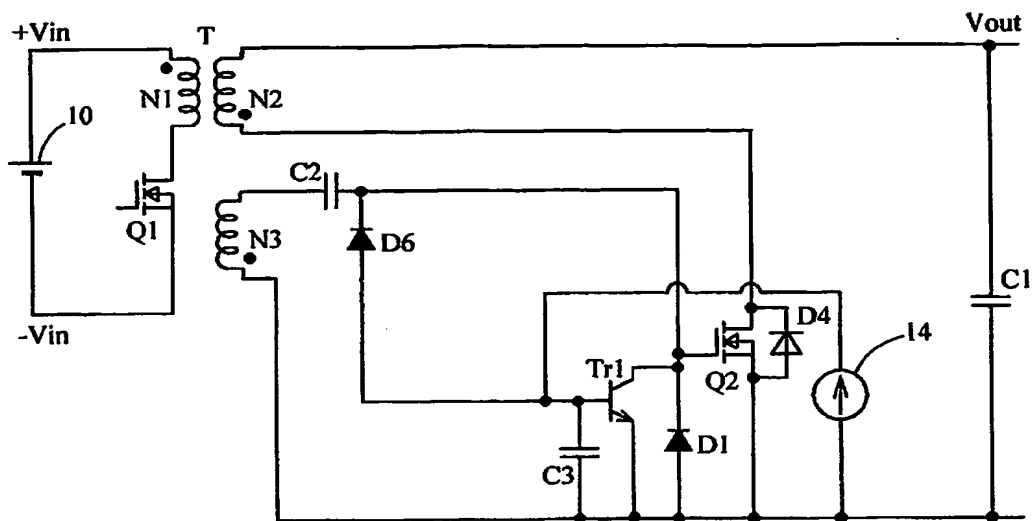
【図 3】



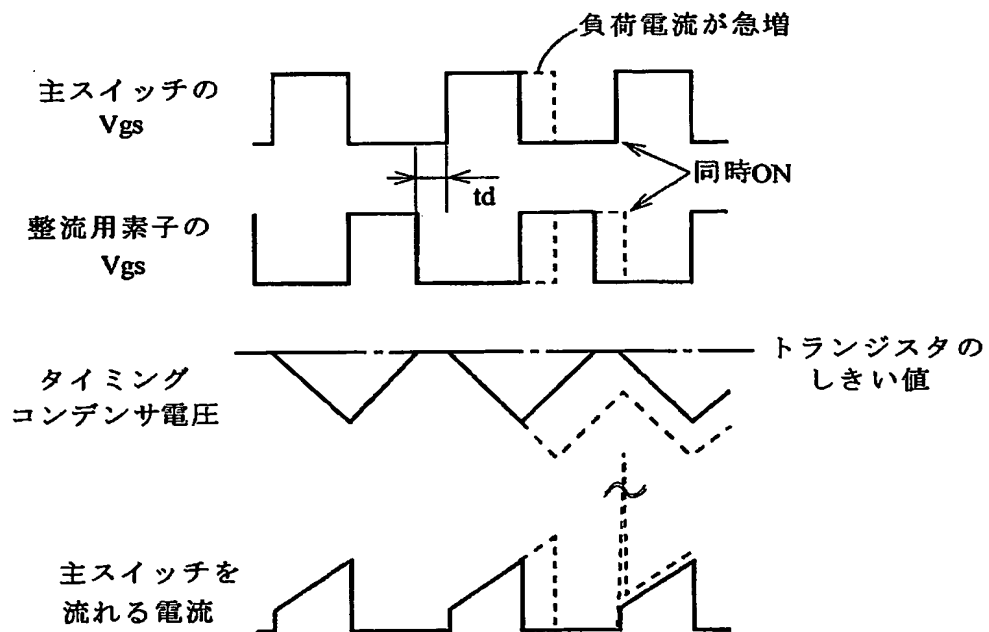
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 負荷の急変により主スイッチ素子のオン時間が長くなった場合にも、主スイッチがオンする前に確実に整流用素子がオフするようにしたフライバック型の同期整流式スイッチング電源を提供する。

【解決手段】 入力端子間にトランスTの1次巻線N1と主スイッチ素子Q1が直列に接続され、出力端子間にトランスTの2次巻線と直列に接続された整流用素子Q2を有する。整流用素子Q2を主スイッチ素子Q1と相補的にオンさせる補助巻線N3等から成る駆動手段を備える。整流用素子Q2のゲートソース間に整流用素子Q2をオフさせる遮断手段であるトランジスタTr1を設ける。遮断手段が整流用素子Q2をオフさせるオフタイミングを、主スイッチ素子Q1がオンした後の一定の時間であって、主スイッチ素子Q1の一定の駆動周期に可及的に近い範囲内のタイミングとする。

【選択図】 図1

特願 2 0 0 2 - 3 3 5 2 3 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 0 3 2 0 8]

1. 変更年月日

1 9 9 2 年 9 月 2 1 日

[変更理由]

名称変更

住 所

富山県富山市上赤江町 1 丁目 6 番 4 3 号

氏 名

コーセル株式会社